

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-274155

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

H01L 21/3205

H01L 23/12

(21)Application number : 10-077032

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 25.03.1998

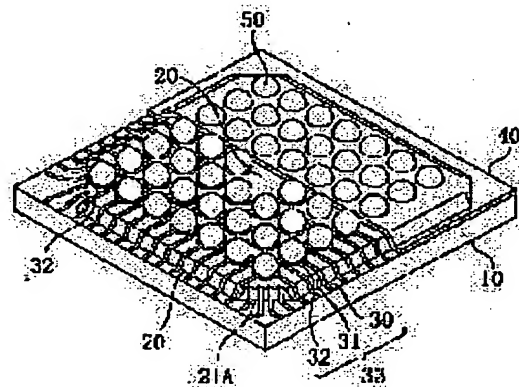
(72)Inventor : NAKAMURA YOSHIFUMI
SAWARA RYUICHI
SHIMOISHIZAKA NOZOMI
KUMAGAWA TAKAHIRO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which can be improved in flexibility and mounting density of wiring design by enabling wiring, even in a low-elastic-modulus layer at corners of the semiconductor chip.

SOLUTION: This semiconductor device includes a low elastic modulus layer 20, having bevel parts 21A beveled linearly at corners as viewed from a plane and also having a slanted outer edge, pads 30 connected to electrodes of a semiconductor chip 10, a wiring pattern 31 extended perpendicular to an outer edge of the layer 20 from the pads 30 along on the layer 20, lands 32 provided on the layer 20 as being connected to the wiring pattern 31, a solder resist 40 formed so as to cover the pattern other than the lands 32, and metal balls 50 provided on the lands 32. Thereby the wiring pattern 31 is formed with predetermined width and interval at the bevel parts 21A, and thus a semiconductor device can be realized, which is improved in flexibility and mounting density of wiring design.



LEGAL STATUS

[Date of request for examination]

27.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 11-274155

(43) 公開日 平成 11 年 (1999) 10 月 8 日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/3205

H 0 1 L 21/88

T

23/12

23/12

L

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号

特願平 10-77032

(22) 出願日

平成 10 年 (1998) 3 月 25 日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町 1 番 1 号

(72) 発明者 中村 嘉文

大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

(72) 発明者 佐原 隆一

大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

(72) 発明者 下石坂 望

大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

(74) 代理人 弁理士 前田 弘 (外 2 名)

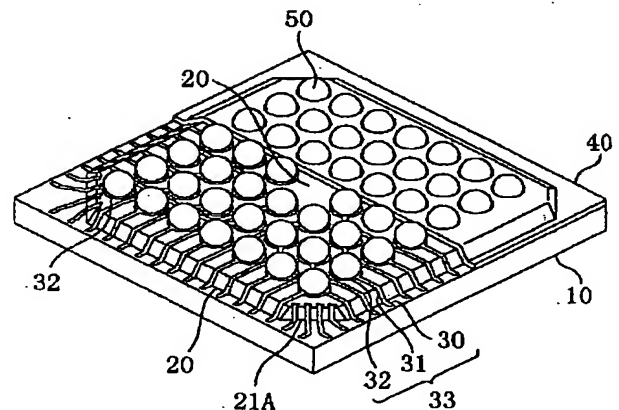
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体チップ角部の低弾性率層においても配線できるようにして、配線設計の自由度と実装密度とが向上された半導体装置を提供する。

【解決手段】 平面的にみた各角部に直線状に面取りされた面取り部 21A を有し、かつ外縁に斜面を有する低弾性率層 20 と、半導体チップ 10 の電極に接続されたパッド 30 と、パッド 30 から低弾性率層 20 の外縁と直交し低弾性率層 20 上にわたって延びる配線パターン 31 と、低弾性率層 20 上に設けられ配線パターン 31 に接続されたランド 32 と、ランド 32 以外を覆うように形成されたソルダーレジスト 40 と、ランド 32 上に設けられた金属ボール 50 とを備える。これにより、面取り部 21A において配線パターン 31 が所定の幅と間隔とで形成されるので、配線設計の自由度と実装密度とが向上された半導体装置が実現される。



【特許請求の範囲】

【請求項1】 主面に電極を有する半導体チップと、前記主面上に設けられ、前記電極の上に開口部を有する絶縁層と、

前記電極に接続され、前記絶縁層の外縁を横切り、前記絶縁層の上を横方向へ延びるように設けられた金属配線とを備えるとともに、

前記絶縁層の平面的にみた角部には該各角部が平面的にみて面取りされた面取り部が設けられており、前記金属配線は前記面取り部において該面取り部の外縁を横切るように延びていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記面取り部は、前記各角部の外縁が平面的にみて直線を描くように面取りされていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記面取り部は、前記各角部の外縁が平面的にみて円弧を描くように面取りされていることを特徴とする半導体装置。

【請求項4】 請求項2又は3記載の半導体装置において、

前記絶縁層上において前記金属配線の一部が延びて設けられた外部端子と、

前記外部端子を開口して設けられ導電性材料をはじく性質を有する絶縁性物質からなる保護膜とを更に備えたことを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、前記外部端子上に設けられた突起状電極を更に備えたことを特徴とする半導体装置。

【請求項6】 請求項1記載の半導体装置において、前記絶縁層は、前記開口部において傾斜している断面形状を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トランジスタ等の半導体素子を有する半導体装置であって、特に高密度な実装を可能にする半導体装置に関するものである。

【0002】

【従来の技術】近年、電子機器の小型化、高機能化に伴い、半導体装置に対して小型化、高密度化、高速化が要求されるようになってきた。このため、例えば、メモリー用パッケージとしてはLOC（リード・オン・チップ）やSON（スモール・アウトライン・ノンリード）等が開発され、あるいはTABテープを利用した μ BGA（マイクロ・ボール・グリッド・アレイ）（特表平06-504408号公報）といったパッケージが開発されている。

【0003】以下、 μ BGAと呼ばれる従来の半導体装置について、図4を参照しながら説明する。図4（a）は μ BGAと呼ばれる従来の半導体装置の斜視図、図4

（b）は図4（a）において金属ボールが形成される前の状態を示すIV-IV線における断面図である。図4

（a）、（b）において、101はトランジスタ等の半導体素子を内蔵する半導体チップ、102は半導体チップ101上に設けられた配線回路シート、103は半導体チップ101と配線回路シート102との間に介在するしなやかな低弾性率材料膜、104は配線回路シート102が有する部分リード、105は半導体チップ101が有する電極、106は配線回路シート102が有するランド、107はランド106上に設けられ半導体装置と外部とを接続するための金属ボールである。

【0004】図4（a）、（b）に示すように、 μ BGAと呼ばれる半導体装置は、半導体チップ101上に低弾性率材料膜103を介して配線回路シート102が接合された構造を有し、半導体チップ101の電極105と配線回路シート102のランド106とが部分リード104を介して電気的に接続され、ランド106上に金属ボール107が設けられたものである。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の半導体装置によれば、小型化を図るために部分リード104に対する制約があることから、配線回路シート102の平面的にみた角部付近で部分リード104を配線できない配線不能領域が生じていた。

【0006】以下、この配線不能領域について、図5を参照しながら説明する。図5は、従来の半導体装置の角部付近を示す平面図である。図5において、半導体装置の小型化を図る目的で、部分リード104は、配線回路シート102の外縁から延びている部分が曲げと接続に必要な最小限の長さになり、かつ外縁と直交するように形成されている。したがって、配線回路シート102の角部、つまり半導体チップ101の角部付近において、部分リード104同士の間隔が狭くなるので、配線することができない配線不能領域108が生じていた。そして、配線不能領域108では部分リード104が設けられないので、配線設計の自由度が低下し、かつ高密度実装が阻害されていた。

【0007】本発明は、上記従来の課題を解決するために、半導体チップの角部付近においても配線可能にすることにより、配線設計の自由度が向上され、かつ高密度実装される半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明の半導体装置は、請求項1に記載されているように、主面に電極を有する半導体チップと、主面上に設けられ、電極の上に開口部を有する絶縁層と、電極に接続され、絶縁層の外縁を横切り、絶縁層の上を横方向へ延びるように設けられた金属配線とを備えるとともに、絶縁層の平面的にみた角部には該各角部が平面的にみて面取りされた面取り部が設けられており、金属配線は面取り部において該面取り部

の外縁を横切るように延びていることとしている。

【0009】これにより、金属配線が、平面的にみて絶縁層の面取り部において外縁を横切るようにして設けられるので、半導体チップの角部に設けられた電極に対しても配線可能になって配線の自由度と実装密度とが向上される。更に、面取り部に設けられた金属配線と半導体装置の中心との距離が短くなることにより、熱サイクルが印加された場合の熱応力が低減されるので、絶縁層からの金属配線のはがれが抑制される。

【0010】請求項2又は3に記載されているように、請求項1の半導体装置において、面取り部は、各角部の外縁が平面的にみて直線又は円弧を描くように面取りされていることが好ましい。

【0011】これにより、面取り部において、金属配線が、平面的にみて直線又は円弧を描くように形成された外縁を確実に横切るようにして設けられるので、半導体チップの角部に設けられた電極に対しても金属配線が確実に配線される。

【0012】請求項4に記載されているように、請求項2又は3の半導体装置において、絶縁層上において金属配線の一部が延びて設けられた外部端子と、外部端子を開口して設けられ導電性材料をはじく性質を有する絶縁性物質からなる保護膜とを更に備えることができる。

【0013】これにより、半導体装置の外部端子と外部機器の端子とを導電性材料を用いて接続する際に、外部端子以外の金属配線と半導体チップの電極とを導電性材料から確実に保護することができる。

【0014】請求項5に記載されているように、請求項4の半導体装置において、外部端子上に設けられた突起状電極を更に備えることができる。

【0015】これにより、半導体装置の外部端子と外部機器の端子とを、突起状電極を介して確実に接続することができる。

【0016】請求項6に記載されているように、請求項1の半導体装置において、絶縁層は、開口部において傾斜している断面形状を有することが好ましい。

【0017】これにより、金属配線が、傾斜している断面形状を有する絶縁層の外縁において斜面に設けられることにより、安定して形成される。

【0018】

【発明の実施の形態】以下、本発明の実施形態について、図1～図3を参照しながら説明する。図1は、本発明に係る半導体装置の概略をソルダーレジストの一部を開口して示す斜視図である。図1において、10はトランジスタ等の半導体素子を内蔵する半導体チップ、20は半導体チップ10上に設けられた絶縁層であって外縁部に斜面を有する低弾性率層、21Aは低弾性率層20の平面的にみた各角部において直線的に面取りされた面取り部、30は半導体チップ10の電極（図示せず）上に設けられたパッド、31はパッド30から低弾性率層

20の外縁と直交し半導体装置の内側へ延びる配線パターン、32は低弾性率層20上に設けられ配線パターン31を介してパッド30につながるランド、40はランド32以外の部分を覆うように形成されたソルダーレジスト、50はランド32上に設けられ半導体装置と外部とを接続するための金属ボールである。そして、パッド30と配線パターン31とランド32とは、併せて金属配線33を構成する。

【0019】ここで、本発明に係る半導体装置の特徴は、平面的にみた低弾性率層20の各角部において、平面的にみて直線状に面取りされた面取り部21Aを有する点である。そして、配線パターン31のうちこの面取り部21Aを通るものは、低弾性率層20の各面取り部21Aの外縁に直交している。

【0020】本発明に係る半導体装置における各角部付近の詳細を、図2を参照しながら説明する。図2(a)は図1に示された半導体装置の、図2(b)は図1に示された半導体装置の変形例の、それぞれ角部付近の詳細を示す平面図である。

【0021】図2(a)に示されたように、低弾性率層20の各面取り部21Aの外縁に直交して、所定の間隔において配線パターン31が形成される。このことにより、各角部付近において面取り部21Aの領域を利用することが可能となり、配線設計の自由度が向上される。

【0022】また、半導体チップ10の各角部付近に設けられた電極11から低弾性率層20上のランド（図1のランド32）へと配線パターン31を設けることにより、ランドの数を増やすことができるので、実装密度が向上される。

【0023】本発明に係る半導体装置の変形例について、図2(b)を参照しながら説明する。図2(b)に示されたように、平面的にみた低弾性率層20の各角部において、平面的にみて円弧状に面取りされた面取り部21Bを設けることができる。この場合においても、配線パターン31のうちこの面取り部21Bを通るものは、低弾性率層20の各面取り部21Bの外縁にほぼ直交している。したがって、角を持たない各面取り部21Bにおいて円弧状の全領域を利用できるので、配線設計の自由度が更に向上され、かつ、半導体チップ10の各角部付近の電極11から低弾性率層20上のランド（図1のランド32）へと配線パターン31を設けることにより、ランドの数を増やすことができるので実装密度が向上される。

【0024】図2(a)に示されたように低弾性率層20の各角部において外縁が直線状に面取りされた場合と、図5(a)に示されたように各角部が直角である従来の場合とを、配線ルールについて、つまり形成可能な配線幅と配線間隔とについて比較した。図5(a)に示された従来の半導体装置の場合には、各角部において、配線幅 $2.0\mu\text{m}$ 及び配線間隔 $4.0\mu\text{m}$ の配線ルールが必

要であった。これに対して、図2(a)に示された本発明に係る半導体装置の場合には、各角部において、配線幅40 μ m及び配線間隔40 μ mの配線ルールで配線が可能となった。

【0025】以上説明したように、本発明によれば、従来の半導体装置の場合に比較して、同じ配線幅を用いる場合には、配線設計の自由度が向上され、かつ配線パターンの本数を増やせるので実装密度が向上された半導体装置が実現される。

【0026】また、配線パターンの本数が同じ場合には配線幅を広くすることができるので、信頼性が高い半導体装置が実現される。

【0027】更に、図2(a)、(b)のいずれの半導体装置においても、その中心から最も離れた部分、つまり低弾性率層20の各角部における配線パターン31と半導体装置の中心との距離が短縮される。これにより、熱サイクルが印加された場合において、低弾性率層20と配線パターン31とがそれぞれ有する熱膨張係数の差に起因する熱応力が軽減される。したがって、配線パターン31が低弾性率層20からはがれることが抑制されるので、熱サイクルの印加に対して信頼性が高い半導体素子が実現される。

【0028】以下、本発明に係る半導体装置の製造方法について、図3を参照しながら説明する。図3(a)~(e)は、それぞれ図1に示された半導体装置の製造工程を示す断面図である。

【0029】まず、図3(a)に示すように、半導体チップ10の主面上に形成された電極11とパッシベーション膜12との上に、感光性と低弾性率とを有する絶縁物からなる樹脂を塗布した後乾燥して、樹脂膜15を形成する。樹脂膜15を形成するための感光性を有する材料としては、例えばポリイミド、エポキシ等のような低弾性率と絶縁性とを有するポリマーであればよい。

【0030】次に、図3(b)に示すように、樹脂膜15に対して露光と現像とを順次行って、電極11の部分が開口した低弾性率層20を形成する。この場合には、低弾性率層20において平面的にみて、各角部を直線状又は円弧状に面取りするようにして低弾性率層20を形成する。また、例えば、露光で平行光ではなく散乱光を使用して、開口部における低弾性率層20の断面形状を、電極11に対して垂直ではなくテーパ状にして形成する。

【0031】次に、図3(c)に示すように、半導体チップ10の主面の全面において、真空蒸着法、スパッタリング法、CVD法又は無電解めっき法によって例えばTi/Cuからなる金属薄膜層を形成した後に、該金属薄膜層に対してパターンニングを行う。このことによ

り、つまりピン数と半導体チップ10の面積とを考慮して決められている。

【0032】パターンニングは、以下のようにして行う。金属薄膜層の上に感光性レジストを塗布して、露光によって所定のパターン部以外のレジストを硬化させた後に、該パターン部のレジストを除去する。電解めっきを使用して、前記パターン部に例えばCuからなる大きい膜厚を有する金属層を形成し、その後、レジストを溶解して除去する。その後にエッチング液に浸漬して、金属薄膜層を溶かし、かつ大きい膜厚を有する金属層を残すことにより、所定の金属配線を形成する。

【0033】なお、表面の全面に金属膜を堆積させ、その上にフォトリソグラーフ技術を使用して所定のパターン部の上にエッチングマスク用レジストを形成し、このレジストをマスクとして金属層をエッチングすることにより、金属配線を形成してもよい。

【0034】次に、図3(d)に示すように、低弾性率層20の上に感光性ソルダーレジストを塗布した後に、フォトリソグラーフ技術を使用して、ランド32の部分のみが露出するようにしてソルダーレジスト40を形成する。このソルダーレジスト40によって、金属配線のうちランド32以外の部分であるパッド30と配線パターン31とが、後工程において溶融したハンダから保護される。

【0035】次に、図3(e)に示すように、ハンダ、銅、ニッケル等からなる、又はハンダめっきされた金属からなる金属ボール50をランド32の上に載置して、金属ボール50とランド32とを溶融接合する。以上の工程によって、本発明に係る半導体装置を得ることができる。

【0036】本実施形態の半導体装置の製造方法によれば、平面的にみて各角部が直線状又は円弧状に面取りされるようにして、低弾性率層20を形成する。したがって、本発明に係る半導体装置を容易に製造することができる。

【0037】なお、以上の説明においては、開口部における低弾性率層20の断面形状をテーパ状としたが、これに代えて円弧状としてもよく、また、断面が半導体チップの主面に対して垂直であってもよい。

【0038】また、露光と現像とにより低弾性率層20を形成したが、これに代えて、例えばスクリーン印刷法を用いて、各角部が平面的にみて直線状又は円弧状に面取りされている低弾性率層20を形成してもよい。

【0039】また、樹脂膜15を形成するために、感光性と低弾性率とを有する絶縁物からなる樹脂を塗布した。これに限らず、それぞれ予めフィルム状に形成された、感光性を有する絶縁材料を使用してもよい。この場合には、フィルム状の絶縁材料を半導体チップ10の上に貼り合わせた後に露光、現像して、半導体チップ10

の電極 11 を露出させる。

【0040】更に、それぞれ感光性のない絶縁材料も使用できる。この場合には、レーザーやプラズマ等の機械的加工、又はエッチング等の化学的加工によって、半導体チップ 10 の電極 11 を露出させる。

【0041】

【発明の効果】本発明によれば、金属配線が、絶縁層の面取り部において平面的にみて外縁を横切るようにして設けられるので、半導体チップの角部に設けられた電極に対しても配線可能になって、配線の自由度と実装密度とが向上された半導体装置が実現される。

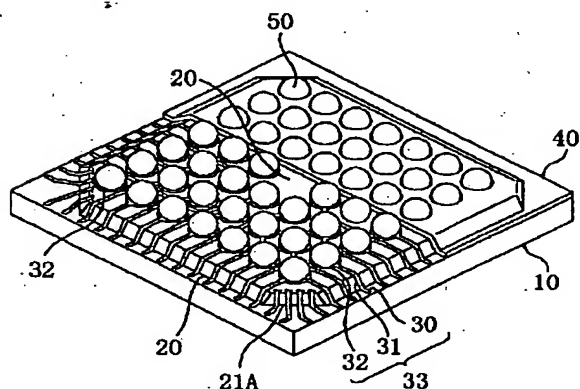
【0042】また、面取り部に設けられた金属配線と半導体装置の中心との距離が短くなることにより、熱サイクルが印加された場合の熱応力が低減される。したがって、絶縁層からの金属配線のはがれが抑制されるので、熱サイクルに対して高い信頼性を有する半導体装置が実現される。

【0043】更に、金属配線が、傾斜している断面形状を有する絶縁層の外縁において斜面に設けられることにより、安定して形成される。

【図面の簡単な説明】

【図 1】本発明に係る半導体装置の概略をソルダーレジストの一部を開口して示す斜視図である。

【図 1】



【図 2】(a) は図 1 に示された半導体装置の、(b) は図 1 に示された半導体装置の変形例のそれぞれ角部付近の詳細を示す平面図である。

【図 3】(a) ~ (e) は、それぞれ図 1 に示された半導体装置の製造工程を示す断面図である。

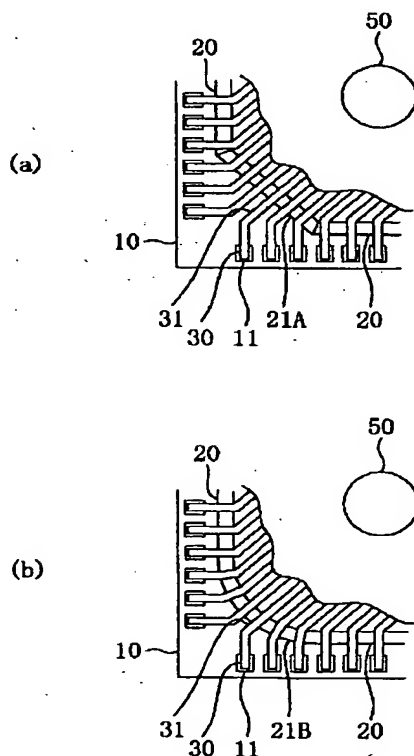
【図 4】(a) は μ BGA と呼ばれる従来の半導体装置の斜視図、(b) は (a) において金属ボールが形成される前の状態を示す IV-IV 線における断面図である。

【図 5】図 4 に示された従来の半導体装置の角部付近を示す平面図である。

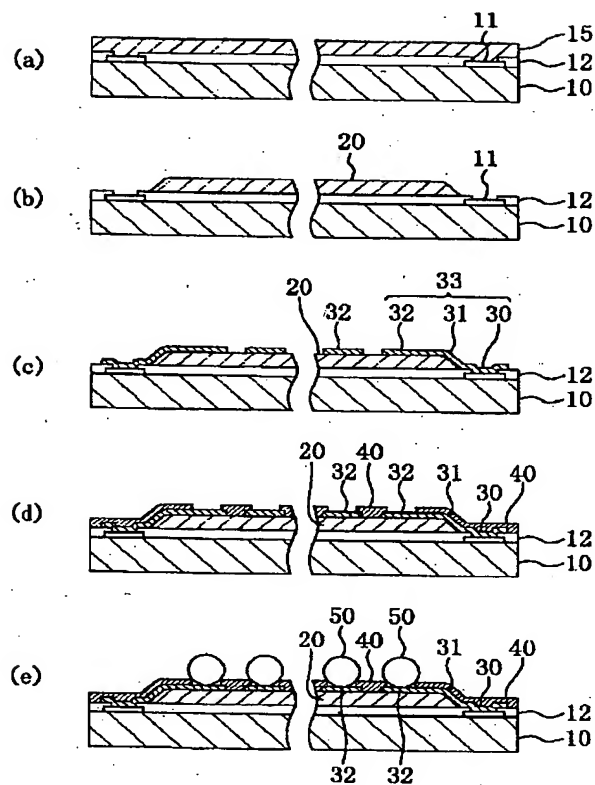
【符号の説明】

- 10 半導体チップ
- 11 電極
- 12 パッシベーション膜
- 15 樹脂膜
- 20 低弾性率層（絶縁層）
- 21A, 21B 面取り部
- 30 パッド
- 31 配線パターン
- 32 ランド（外部端子）
- 33 金属配線
- 40 ソルダーレジスト（保護膜）
- 50 金属ボール（突起状電極）

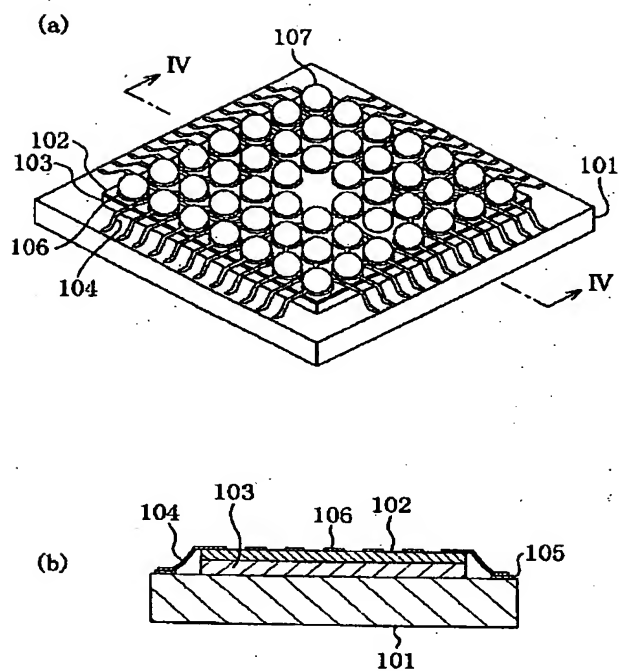
【図 2】



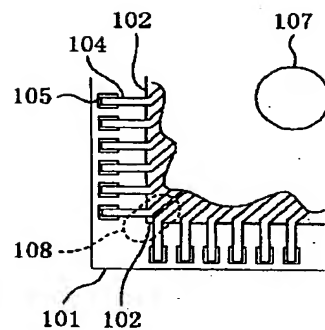
【圖3】



【圖4】



【圖5】



フロントページの続き

(72)発明者 隈川 隆博

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

05